

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

8132356

Basic Patent (No,Kind,Date): JP 63121886 A2 880525 <No. of Patents: 002>

ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MACHIYA SHUKO

IPC: \*G09F-009/30; G02F-001/133; H01L-027/12; H01L-029/78

Derwent WPI Acc No: G 88-185762

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 63121886	A2	880525	JP 86268156	A	861111	(BASIC)
JP 2739158	B2	980408	JP 86268156	A	861111	

Priority Data (No,Kind,Date):

JP 86268156 A 861111

Japanese Laid-open Patent

Japanese Patent Laid-Open Number: 63-121886

Laid-open Date: May 25, 1988

Application Number: Sho 61-268156

Filing Date: November 11, 1986

Applicant: SEIKO EPSON CORP

## SPECIFICATION

### 1. Title of the Invention

Active-Matrix Panel

### 2. Claim

An active-matrix panel comprising:

an array of MOS thin-film transistors (TFTs) having channel portions formed by a thin film of polysilicon;

scanning lines and data lines for driving said TFTs;

pixel electrodes driven by said TFTs;

a first insulating substrate on which said array of TFTs, said scanning lines and data lines, and said pixel electrodes are formed;

a second insulating substrate having a common electrode and placed opposite to said first insulating substrate via a space of the order of micrometers; and

a liquid crystal material driven by an electric field produced between each of said pixel electrodes and said common electrode,

wherein a first electrode formed by a semiconductor layer of the TFTs and a second electrode having at least an overlap with said first electrode via a first insulating layer are provided,

said pixel electrodes have at least an overlap with said second electrode via a second insulating layer, and

said first electrode and said pixel electrodes are electrically connected.

### 3. Detailed Description of the Invention

#### [Industrial Field of Utilization]

The present invention relates to active-matrix panel structures.

#### [Prior Art Techniques]

The prior art active-matrix panel structure is described in "Nikkei Electronics", 1984, September 10, No. 351, pp. 211-240. Fig. 2 shows an example of a cross section of an active-matrix panel. Shown are insulating substrates 201, 202, a semiconductor layer 203, insulating layers 204, 207, a gate

electrode 205 connected with scanning lines, data lines 208, pixel electrodes 209, a common electrode 210, and a liquid crystal material 211 that is driven by an electric field developed between the liquid crystal material and the common electrode 210.

[Problem to be Solved by the Invention]

The aforementioned prior art technique suffers from the following problem. Since the capacitance of the liquid crystal material is small, the voltage applied to the liquid crystal material is not held sufficiently. Therefore, a large contrast ratio cannot be obtained.

The present invention is intended to solve this problem. It is an object of the invention to realize an active-matrix panel in which a sufficiently large capacitance is added in parallel with the capacitance of a liquid crystal material to thereby produce a large contrast ratio.

[Means for Solving the Problem]

An active-matrix panel in accordance with the present invention has a first electrode formed by a semiconductor layer of TFTs and a second electrode having at least an overlap with said first electrode via a first insulating layer. Pixel electrodes have at least an overlap with the second electrode via a second insulating layer. The first electrode and the pixel electrodes are electrically connected.

[Operation]

In the aforementioned structure in accordance with the present invention, a capacitance created by an overlap between the first electrode and the second electrode and a capacitance created by an overlap between the second electrode and the pixel electrodes are added in parallel with the capacitance of the liquid crystal material. Therefore, the voltage applied to the liquid crystal material is held sufficiently. As a result, an active-matrix panel having a large contrast ratio can be accomplished.

[Embodiment]

Fig. 1 shows one example of a cross section of an active-matrix panel in accordance with the present invention. Its process sequence is described in detail.

First, polysilicon is deposited on an insulating substrate 101 to a thickness of 1000 Å and patterned to form a semiconductor layer 103. Then, the semiconductor layer 103 is thermally oxidized to form an insulating layer 104. Subsequently, polysilicon is deposited, phosphorus is diffused, and a patterning operation is performed to form a gate electrode 105. Phosphorus ions are implanted to form source and drain regions in the semiconductor layer 103. Then, ITO is deposited by sputtering and patterned to form an

intermediate electrode 106. Thereafter, NSG is deposited over the whole surface to form an insulating layer 107. Contact holes are formed. Then, ITO is deposited by sputtering and patterned to form data lines 108 and pixel electrodes 109. On the other hand, a common electrode 110 is formed on an insulating substrate 102 to fabricate a counter substrate. This counter substrate is placed opposite to the active-matrix substrate with a space of the order of several micrometers therebetween and fixed there. A liquid-crystal material 111 is injected into this space, thus completing an active-matrix panel.

In the active-matrix panel fabricated by the process sequence described thus far, the intermediate electrode 106 is placed at the same potential as the common electrode 110. A capacitance created by the overlap between the semiconductor layer 103 and the intermediate electrode 106 and a capacitance created by the overlap between the intermediate electrode 106 and the pixel electrodes 109 are added as pixel capacitances. As a result, the pixel capacitance increases drastically.

#### [Effects of the Invention]

As described thus far, the active-matrix panel in accordance with the present invention has a large pixel capacitance and so drop of the effective voltage due to leakage from the liquid crystal material itself and due to TFT leakage is quite small. Hence, a large contrast ratio is obtained. Furthermore, the pixel capacitance has increased, making the panel more immune to noise introduced by the capacitive coupling between data lines and pixel electrodes. This reduces flicker.

In this way, the present invention increases the contrast ratio of an active-matrix panel and reduces flicker, thereby improving the display performance.

#### 4. Brief Description of the Drawing

Fig. 1 is a cross-sectional view of an active-matrix panel in accordance with the present invention; and

Fig. 2 is a cross-sectional view of the prior art active-matrix panel.

- 103: semiconductor layer;
- 104: insulating layer;
- 106: intermediate electrode;
- 107: insulating layer;
- 109: pixel electrodes



④ 日本国特許庁(JP)

⑤ 特許出願公開

⑥ 公開特許公報(A)

昭63-121886

⑦ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑧ 公開 昭和63年(1988)5月25日

G 09 F 9/30  
G 02 F 1/133  
H 01 L 27/12  
29/78

3 3 8  
3 2 7  
3 1 1

6866-5C  
7370-2H  
A-7514-5F  
A-8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑨ 発明の名称 アクティブマトリクスパネル

⑩ 特 願 昭61-268156

⑪ 出 願 昭61(1986)11月11日

⑫ 発 明 者 町 屋 周 宏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑬ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑭ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発 明 の 名 称

アクティブマトリクスパネル

2 特 許 請 求 の 範 囲

第1の絶縁基板上に、チャネル部をポリシリコン薄膜で構成したMOS型の薄膜トランジスタ(以下TFTと略記)アレイと、前記TFTを駆動するための走査線及びデータ線と、前記TFTにより駆動される画素電極とを備え、共通電極を有する第2の絶縁基板を第1の絶縁基板と数μmの空間を介して対向させ、前記画素電極と前記共通電極との間の電界で液晶を駆動して成るアクティブマトリクスパネルにおいて、TFTの半導体層によって構成される第1の電極と、第1の絶縁層をはさんで前記第1の電極と少なくとも重なりを有する第2の電極を備え、前記画素電極は第2の絶縁層をはさんで前記第2の電極と少なくとも重なりを有し、前記第1の電極と前記画素電極と

は電気的に接続されていることを特徴とするアクティブマトリクスパネル。

3 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明はアクティブマトリクスパネルの構造に関する。

(従来の技術)

従来のアクティブマトリクスパネルの構造は、「日経エレクトロニクス 1984年9月10日号 8351 p.211~240」に示されるようなものであった。第2図は、アクティブマトリクスパネルの断面図の例である。201及び202は絶縁基板、203は半導体層、204及び207は絶縁層、205はゲート電極で走査線につながっている。208はデータ線、209は画素電極、210は共通電極である。211は液晶であり、共通電極210との間の電界で駆動される。

(発明が解決しようとする問題点)

しかし前述の従来技術では以下に述べるような

問題点を生じる。すなわち、液晶の容量が小さいため液晶に加わる電圧が十分に保持されず、大きなコントラスト比が得られないという問題点である。

本発明はこうした問題を解決するものであり、その目的とするところは、液晶の容量と並列に十分大きな容量を付加し、コントラスト比の大きなアクティブマトリクスパネルを実現するところにある。

#### (問題点を解決するための手段)

本発明のアクティブマトリクスパネルは、TFTの半導体層から成る第1の電極と、第1の絶縁層をはさんで前記第1の電極と少なくとも重なりを有する第2の電極を備え、画素電極は第2の絶縁層をはさんで前記第2の電極と少なくとも重なりを有し、前記第1の電極と前記画素電極とは電気的に接続されていることを特徴とする。

#### (作用)

本発明の上記の構成によれば、液晶の容量と並列に、第1の電極と第2の電極との重なりによっ

て生じる容量及び第2の電極と画素電極との重なりによって生じる容量が付加されるため、液晶に加わる電圧が十分に保持され、コントラスト比の大きなアクティブマトリクスパネルが実現できる。  
(実施例)

第1図は、本発明のアクティブマトリクスパネルの断面図の一例である。以下、行程を追いつながら詳細に説明する。

まず、絶縁基板101上にポリシリコンを1000Å程度の厚さにデポジットし、パターニングを行なって、半導体層103を形成する。次に、半導体層103を熱酸化して絶縁層104を形成する。それから、ポリシリコンをデポジットし、リンを拡散したあとパターニングを行なって、ゲート電極105を形成する。そして、リンをイオン打ち込みし、半導体層103にソース領域及びドレイン領域を形成する。さらに、ITOをスパッタで蒸着し、パターニングを行なって中間電極106を形成する。次に、MgOを全面にデポジットして絶縁層107を形成し、コンタクトホールを開孔した後、ITO

Oをスパッタで蒸着し、パターニングを施さないうちにデータ線108及び画素電極109を形成する。一方、絶縁基板102に共通電極110を形成して対向基板とし、これをアクティブマトリクス基板と数mmの空間を介して対面するように固定する。そして、この空間に液晶111を封入してアクティブマトリクスパネルが完成する。

上述の行程を経てできた本アクティブマトリクスパネルは、中間電極106を共通電極110と同電位とすることによって、半導体層103と中間電極106との重なりによって生じる容量及び中間電極106と画素電極109との重なりによって生じる容量が、画素容量として付加される。その結果、画素容量は飛躍的に増大する。

#### (発明の効果)

以上述べたように、本発明のアクティブマトリクスパネルは、大きな画素容量を有するため、液晶自身のリーク及びTFTのリークによって生じる突効電圧の低下が極めて少なく、大きなコントラスト比が得られる。また、画素容量が増大した

結果、データ線と画素電極との容量結合によって混入するノイズの影響が少なくなり、フリッカーが減少する。

このように、本発明はアクティブマトリクスパネルのコントラスト比を増大させ、フリッカーを低減させることによって、その表示性能を向上させるものである。

#### 4. 図面の簡単な説明

第1図は、本発明のアクティブマトリクスパネルの断面図。

第2図は、従来のアクティブマトリクスパネルの断面図。

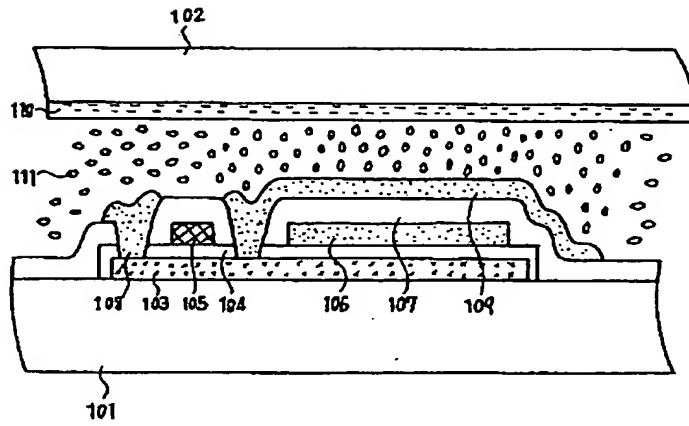
103 …… 半導体層  
104 …… 絶縁層  
106 …… 中間電極  
107 …… 絶縁層  
109 …… 画素電極

以上

出願人 セイコーエプソン株式会社

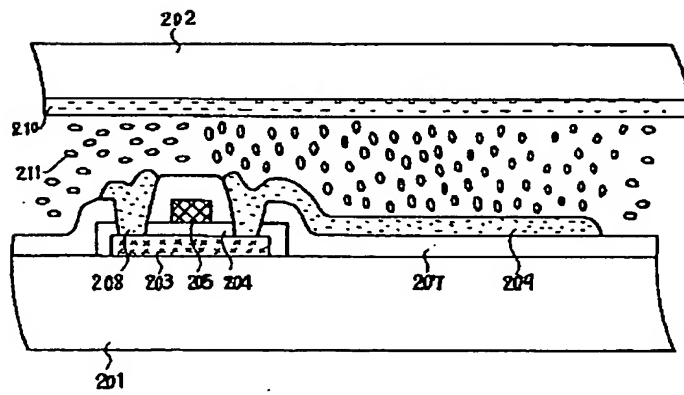
代理人 弁理士 最上 務 他1名





103.半導体層 104.絶縁層 106.ゲート電極 107.ソース電極 109.ドレイン電極

第 1 図



第 2 図